



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Koichi FUKUDA :
Serial No.: 10/635,006 : Group Art Unit: 2811
Filed: August 6, 2003 : Attorney Docket No. OKI.561
For: FULL DEPLETION SOI-MOS TRANSISTOR

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date
under the International Convention of the following Japanese application:

Appln. No. 2002-238169 filed August 19, 2002

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC


Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: November 19, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 8月19日

出 願 番 号
Application Number:

特願2002-238169

[ST.10/C]:

[JP2002-238169]

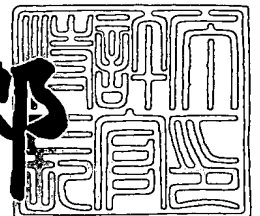
出 願 人
Applicant(s):

沖電気工業株式会社

2003年 1月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2002-3105320

【書類名】 特許願

【整理番号】 TA000177

【提出日】 平成14年 8月19日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 福田 浩一

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100079049

【弁理士】

【氏名又は名称】 中島 淳

【電話番号】 03-3357-5171

【選任した代理人】

【識別番号】 100084995

【弁理士】

【氏名又は名称】 加藤 和詳

【電話番号】 03-3357-5171

【選任した代理人】

【識別番号】 100085279

【弁理士】

【氏名又は名称】 西元 勝一

【電話番号】 03-3357-5171

【選任した代理人】

【識別番号】 100099025

【弁理士】

【氏名又は名称】 福田 浩志

【電話番号】 03-3357-5171

【手数料の表示】

【予納台帳番号】 006839

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9714945

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 完全空乏型 S O I - M O S トランジスタおよびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に S O I 層およびゲート電極が順次形成され、前記 S O I 層の側方の領域に、ポリシリコンの堆積によって形成されたソースドレイン部が設けられ、前記 S O I 層の厚さが前記ソースドレイン部の厚さより小さいことを特徴とする完全空乏型 S O I - M O S トランジスタ。

【請求項 2】 前記半導体基板が、S O I 基板であることを特徴とする請求項 1 に記載の完全空乏型 S O I - M O S トランジスタ。

【請求項 3】 前記ソースドレイン部におけるソース電極及びドレイン電極が、シリサイド化されていることを特徴とする請求項 1 または 2 に記載の完全空乏型 S O I - M O S トランジスタ。

【請求項 4】 半導体基板上に S O I 層を形成し、少なくとも該 S O I 層上にポリシリコンを堆積してポリシリコン層 (A) を形成し、該ポリシリコン層 (A) 上に SiO_2 からなる酸化膜を形成する工程と、

前記酸化膜を形成した後に、ゲート部以外をエッチングして前記 S O I 層上に前記ポリシリコン層 (A) と前記酸化膜とを順次有するゲートを作製する工程と

前記ゲートを作製した後にポリシリコンを堆積してポリシリコン層 (B) を形成する工程と、

レジストによりパターニングを行って分離部のポリシリコン層 (B) のポリシリコンを除去する工程と、

前記ゲート上のポリシリコン層 (B) の一部が露出するように、前記レジストを除去する工程と、

露出した前記ポリシリコン層 (B) のポリシリコンを除去する工程と、

前記ポリシリコンを除去した後に前記レジストを除去し、前記ゲート上部の酸化膜を除去する工程と、

を順次含むことを特徴とする請求項 1 ～ 3 のいずれかに記載の完全空乏型 S O I - M O S トランジスタの製造方法。

【請求項 5】 半導体基板上に S O I 層を形成し、少なくとも該 S O I 層上にポリシリコンを堆積してポリシリコン層 (A) を形成し、該ポリシリコン層 (A) 上に SiO_2 からなる酸化膜を形成する工程と、

前記酸化膜を形成した後に、ゲート部以外をエッチングして前記 S O I 層上に前記ポリシリコン層 (A) と前記酸化膜とを順次有するゲートを作製する工程と、

前記ゲートを作製した後にポリシリコンを堆積してポリシリコン層 (B) を形成する工程と、

レジストによりパターニングを行い、前記ゲート上のポリシリコン層 (B) の一部が露出するように、前記レジストを除去する工程と、

露出した前記ポリシリコン層 (B) のポリシリコン、および分離部のポリシリコン層 (B) のポリシリコンを除去する工程と、

前記ポリシリコンを除去した後に前記レジストを除去し、前記ゲート上部の酸化膜を除去する工程と、

を順次含むことを特徴とする請求項 1 ~ 3 のいずれかに記載の完全空乏型 S O I - M O S トランジスタの製造方法。

【請求項 6】 前記ポリシリコンの堆積により前記ポリシリコン層 (A) および前記ポリシリコン層 (B) を形成する方法が、C V D 法であることを特徴とする請求項 4 または 5 に記載の完全空乏型 S O I - M O S トランジスタの製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、完全空乏型 S O I - M O S トランジスタおよびその製造方法に関する。

【0 0 0 2】

【従来の技術】

完全空乏型 S O I - M O S トランジスタは、通常の S i 基板上に作製されたバルク M O S トランジスタに比べ、以下のような利点がある。

すなわち、①サブスレショルド特性が良好で、 V_t を下げることができるため、同電圧でより多くのオン電流が得られる。②負荷となる接合容量が少ないため、回路として高速動作が期待できる。

【0003】

図14に完全空乏型SOI-MOSトランジスタの概略断面図を示す。基板101上に埋め込み酸化膜といわれるBOX層(Buried Oxide層)102を挟んでSOI層110が形成されている。BOX層102上でSOI層110の側方には、ソース領域108およびドレイン領域109がそれぞれ形成されている。また、ソース領域108およびドレイン領域109のそれぞれの外側には、分離酸化膜が形成されており、素子分離がなされている。

【0004】

ソース領域108およびドレイン領域109の上部は、 CoSi でシリサイド化(図14中の符号104bおよび104c)されており、それぞれコンタクトメタル105と接続されている。

SOI層110上には、ゲート酸化膜111を介してゲート107が形成されている。ゲート107の周囲に窒化膜等のサイドウォール106が形成され、ソース領域108およびドレイン領域109との接触が防がれている。また、ゲート107の上部は、必要に応じてシリサイド化されている(図14中の符号104a)。

【0005】

図14に示すような完全空乏型SOI-MOSトランジスタでは、ゲート電位がオフ状態ですでに、SOI層110に存在する空乏層がBOX層102に達していることが特徴の一つとなっている。このBOX層102により、空乏層の延びが抑えられるため、ゲートの上昇に対する電流値の増大が急峻となり、良好なサブスレショルド特性が示される。また、BOX層102はドレイン領域109からの空乏層の延びも抑えるため、微細素子で問題となる短チャネル効果を抑制することができる。

しかし、ゲートの微細化が進むと短チャネル効果がより深刻となるため、SOI層を薄膜化する必要が生じる。

【0006】

SOI層の薄膜化を達成するために、e l e v a t e d - s o u r c e / d r a i n技術が提案されている。これは、ソースドレイン領域に選択的にSiをエピタキシャル成長させ、ソースドレイン部分を厚くして、低抵抗化を実現するものである。

しかし、この技術には、エピタキシャル成長のスループット、Siエピタキシャルの選択性確保等の課題があり、量産に至っていない。

すなわち、エピタキシャル成長によるSi層を形成するために長い時間がかかってしまうというスループットの低下という問題が生じる。

そこで、スループットを上げるために、エピタキシャル成長させる際の温度を上げようとする、と、薄膜SOI層が凝集してしまう。

従って、薄膜SOIでは、温度を上げることができないという制限がある。

【0007】

【発明が解決しようとする課題】

以上から、本発明は、スループットを向上させることが可能で、短チャネル効果を抑制しつつソースドレイン抵抗の低い完全空乏型SOI-MOSトランジスタおよびその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】

上記課題は、以下に示す本発明により解決することができる。すなわち、本発明は、

<1> 半導体基板上にSOI層およびゲート電極が順次形成され、前記SOI層の側方の領域に、ポリシリコンの堆積によって形成されたソースドレイン部が設けられ、前記SOI層の厚さが前記ソースドレイン部の厚さより小さいことを特徴とする完全空乏型SOI-MOSトランジスタである。

【0009】

<2> 前記半導体基板が、SOI基板であることを特徴とする<1>に記載の完全空乏型SOI-MOSトランジスタである。

<3> 前記ソースドレイン部におけるソース電極及びドレイン電極が、シリ

サイド化されていることを特徴とする<1>または<2>に記載の完全空乏型 S O I - M O S トランジスタである。

【 0 0 1 0 】

<4> 半導体基板上に S O I 層を形成し、少なくとも該 S O I 層上にポリシリコンを堆積してポリシリコン層 (A) を形成し、該ポリシリコン層 (A) 上に $S i O_2$ からなる酸化膜を形成する工程と、

前記酸化膜を形成した後に、ゲート部以外をエッチングして前記 S O I 層上に前記ポリシリコン層 (A) と前記酸化膜とを順次有するゲートを作製する工程と、

前記ゲートを作製した後にポリシリコンを堆積してポリシリコン層 (B) を形成する工程と、

レジストによりパターニングを行って分離部のポリシリコン層 (B) のポリシリコンを除去する工程と、

前記ゲート上のポリシリコン層 (B) の一部が露出するように、前記レジストを除去する工程と、

露出した前記ポリシリコン層 (B) のポリシリコンを除去する工程と、

前記ポリシリコンを除去した後に前記レジストを除去し、前記ゲート上部の酸化膜を除去する工程と、

を順次含むことを特徴とする<1>~<3>のいずれかに完全空乏型 S O I - M O S トランジスタの製造方法である。

【 0 0 1 1 】

<5> 半導体基板上に S O I 層を形成し、少なくとも該 S O I 層上にポリシリコンを堆積してポリシリコン層 (A) を形成し、該ポリシリコン層 (A) 上に $S i O_2$ からなる酸化膜を形成する工程と、

前記酸化膜を形成した後に、ゲート部以外をエッチングして前記 S O I 層上に前記ポリシリコン層 (A) と前記酸化膜とを順次有するゲートを作製する工程と、

前記ゲートを作製した後にポリシリコンを堆積してポリシリコン層 (B) を形成する工程と、

レジストによりパターニングを行い、前記ゲート上のポリシリコン層（Ｂ）の一部が露出するように、前記レジストを除去する工程と、

露出した前記ポリシリコン層（Ｂ）のポリシリコン、および分離部のポリシリコン層（Ｂ）のポリシリコンを除去する工程と、

前記ポリシリコンを除去した後に前記レジストを除去し、前記ゲート上部の酸化膜を除去する工程と、

を順次含むことを特徴とする＜１＞～＜３＞のいずれかに記載の完全空乏型ＳＯＩ－ＭＯＳトランジスタの製造方法である。

【 0 0 1 2 】

＜６＞ 前記ポリシリコンの堆積により前記ポリシリコン層（Ａ）および前記ポリシリコン層（Ｂ）を形成する方法が、ＣＶＤ法であることを特徴とする＜４＞または＜５＞に記載の完全空乏型ＳＯＩ－ＭＯＳトランジスタの製造方法である。

【 0 0 1 3 】

【発明の実施の形態】

〔完全空乏型ＳＯＩ－ＭＯＳトランジスタ〕

本発明の完全空乏型ＳＯＩ－ＭＯＳトランジスタは、図１に示すように、半導体基板（好ましくはＳＯＩ基板）１上にＢＯＸ層２を介してＳＯＩ層８およびゲート電極６が順次形成され、ＳＯＩ層８の側方の領域に、ポリシリコンの堆積によって形成されたソースドレイン部（ソース部４ａおよびドレイン部４ｂ）が設けられ、ＳＯＩ層８がソースドレイン部の厚さより小さくなるように形成されている。

ソース・ドレイン部をポリシリコンによって形成することで、電子の移動度が高まりソースドレイン抵抗が低くなって、オン電流を向上させることができる。ポリシリコンは、例えば、アモルファスシリコン等よりも移動度が大きいいため、上記のような効果が顕著に現れると考えられる。

【 0 0 1 4 】

また、ＳＯＩ層８とゲート電極６との間には、ゲート酸化膜７が形成され、当該ゲート電極６の側方には、ソースドレイン部との接触を防ぐためのサイドウォ

ール5が形成されている。ソースドレイン部の外側には、素子分離を行うための分離酸化膜3が形成されている。

【0015】

ここで、「SOI」とは、「Silicon On Insulator」の略であり、一般的には、絶縁膜上に薄いシリコン単結晶層を形成した半導体基板、あるいはこの基板に形成されるデバイスをいう。MOSトランジスタをSOIで形成すると、特性の改善や寄生容量の低減が図れ、低電圧での動作が可能となり、低電力デバイスを実現できる。

従って、本明細書において「SOI層」とは、半導体基板の絶縁膜上等に形成されたシリコン薄膜を意味する。

また、SOI層を完全空乏型とすることで、部分空乏型に比べて低電圧化と負荷容量の低減を同時に実現できる利点がある。

【0016】

SOI層の厚さは、ソースドレイン部の厚さより小さくなっている。SOI層の厚さを薄くすることで、ゲート電極の微細化による短チャネル効果の問題を解決することができる。

上記効果は、種々の条件などにもよるが、SOI層が35nm程度以下の場合に顕著に見られる。

SOI層の厚さは、短チャネル効果とソースドレイン抵抗との関係を考慮して、特にソースドレイン部の厚さの20～80%であることが好ましい。

【0017】

また、前記ソースドレイン部におけるソース電極及びドレイン電極、並びにゲート電極は、図2に示すように、シリサイド化されていることが好ましい（図2中、符号9a、9b、9c）。シリサイド化することで、ソースドレイン抵抗をさらに低くすることができる。

【0018】

以上、本発明の完全空乏型SOI-MOSトランジスタについて、図1および図2を参照しながら説明したが、本発明は上記構成に限定されず、公知の知見に基いて、種々の変更を加えることができる。

例えば、ゲート電極材料としてポリシリコンを使用することが好ましいが、用途によっては、閾値制御のためにSiGe等の仕事関数差の異なる電極を使用してもよい。

【0019】

〔完全空乏型SOI-MOSトランジスタの製造方法〕

以下、本発明の完全空乏型SOI-MOSトランジスタの製造方法について、図3～図13を参照して説明する。

【0020】

まず、Si基板31上にBOX層32およびSOI層33が順次形成されたSOI基板（図3（A））のSOI層33を酸化（図3（B））して、その表面に酸化膜34を形成する。酸化の度合いは、SOI層33の膜厚が10～40nm（好ましくは10～30nm）となるように調整することが好ましい。その後、図3（C）に示すように酸化膜34を除去する。このようにして、SOI層33を所望の厚みとしたSOI基板が作製される。

【0021】

SOI層33の表面にパッド酸化処理を施して、図4（A）に示すように酸化膜35を形成する。その後、ゲート部（ゲート電極が形成される箇所）に相当する部分に窒化膜36を形成する（図4（B））。窒化膜36をマスクとして、LOCOS酸化処理を施す（図4（C））。この処理により窒化膜36のない部分だけが酸化されるので、酸化膜の厚みが大きくなり、BOX32と接続する分離酸化膜37が形成される。その後、窒化膜36を除去して、各トランジスタごとに分離されたSOI層33が形成される。

【0022】

図5（A）に示すように、SOI層33についてゲート酸化を行いゲート酸化膜38を形成する。その後、閾値制御用インプラウインドウホトリソグラフィー（図5（B））、レジスト39を設けた後の閾値電圧制御用イオン注入（図5（C））およびレジスト除去（図5（D））を順次行う。

なお、閾値制御用インプラウインドウホトリソグラフィー、閾値電圧制御用インプラでは、PMOSおよびNMOSのいずれかにより、不純物の種類などの条

件を適宜設定する。

【0023】

レジスト除去した酸化膜（分離酸化膜37およびゲート酸化膜38）上にゲート電極となるポリシリコンを堆積させて、ポリシリコン層40（ポリシリコン層（A））を形成する（図6（A））。ゲート電極となるポリシリコンと分離するため、ポリシリコン層40上に SiO_2 からなる酸化膜41を形成する（図6（B））。

この酸化膜41の厚さは、後述するサイドウォールエッチングを行ったときに、ゲート酸化膜とともに剥離しないように、ゲート酸化膜38より充分に厚くする必要がある。具体的には、ゲート酸化膜38の1～5倍の厚さとすることが好ましい。

次に、ゲートインプラホト（ゲート不純物イオン注入領域の開口）およびゲートインプラ（図6（C））を行い、ゲートパターニングを行って、表面に酸化膜41が形成されたポリシリコン層40がゲート領域に形成される（図6（D））。

【0024】

図7（A）に示すように、ポリシリコン層40の側面にシリコン窒化膜等からなるサイドウォール42を形成する。その後、ソースドレイン部とするためのポリシリコンを全面に堆積させて、ポリシリコン層43（ポリシリコン層（B））を形成する（図7（B））。

なお、本発明において、ポリシリコンは、CVD法により堆積させることができる。CVD法の具体的な条件としては、620℃程度で0.2 Torr（26.6 Pa）程度とし、 SiH_4 ガス等を使用する条件を採用することが好ましい。

ポリシリコン層43を形成した後、レジスト44を形成して、ホト・エッチ（フォトリソおよびエッチング工程）を用いたパターニングにより、分離酸化膜37上の不要なポリシリコンを除去する（図7（C））。

【0025】

次に、レジストエッチによりレジスト44の高さを低くし、ゲート部の一部を

露出させる（図 8（A））。ゲートのポリシリコンと全面に堆積されるポリシリコンとの間に容量が発生してしまうことを防止するため、これらの間の距離はできるだけ大きくする必要がある。

ゲート部の一部を露出させる量は、ポリシリコン層の厚さやその他の設定条件により異なるが、ゲートの高さの半分以上とすることが好ましい。上限としては、ソースドレイン部におけるポリシリコン層 4 3 の半導体基板 3 1 と平行な面から 2 0 n m 程度とすることが好ましい。

【 0 0 2 6 】

なお、ポリシリコン層 4 0 上には酸化膜 4 1 が形成されているため、ゲート電極となるポリシリコンが所定の範囲を超えてエッチングされることがない。従って、ゲート電極の高さなどを所望の範囲に制御よく設定することができる。

ポリシリコン 4 0 上に酸化膜 4 1 が形成された状態で、レジスト 4 4 から露出したポリシリコン層 4 3 のポリシリコンをエッチングにより除去する（図 8（B））。その後、ポリシリコン層 4 3 上に残ったレジスト 4 4 の除去を行う（図 8（C））。

【 0 0 2 7 】

本発明では、ポリシリコン層 4 3 のポリシリコンのエッチングを 2 回に分けて行っている（図 7（C）および図 8（B））。これは、図 7（C）のエッチングよりも図 8（B）のエッチングの方が、選択性などのエッチング条件が厳しいものとなっているためである。すなわち、エッチングを 2 回に分けることで、図 8（B）のエッチング条件をより細かく設定できる。

【 0 0 2 8 】

レジスト 4 4 を除去した後、図 9（A）に示すように、ゲート上の酸化膜 4 1 をエッチングにより除去する。

当該エッチングを施すことで、最終的にソースドレイン部のみにポリシリコンが堆積した構成となる。その後、レジスト 4 5 を設けソースドレインインプラなどを行い（図 9（B））、活性化 R T A を行う（図 1 0（A））。

活性化 R T A をおこなった後は、必要に応じてシリサイド化を行ってもよい。具体的には、図 1 0（B）に示すように、表面に C o を析出させて、シリサイド

化（符号 4 6 に相当）を施し C の選択エッチングを行えばよい（図 1 0 （C））。

【0 0 2 9】

必要に応じてシリサイド化を行った後は、N S G デポ（図 1 1 （A））、ソースドレインコンタクトホト・エッチ（図 1 1 （B））、ゲートコンタクトホト・エッチ（図 1 1 （C））を順次施して、本発明の完全空乏型 S O I - M O S トランジスタが製造される。

以上のような製造方法によれば、ポリシリコン層（A）（B）の形成にエピタキシャル成長法を使用しないため、スループットを向上させることが可能となる。

【0 0 3 0】

上記した本発明の製造方法で、ゲート上のポリシリコン層（B）の一部を露出させるその他の方法として、図 7 （C）および図 8 に示す工程に代えて、図 1 2 のような工程を適用してもよい。

すなわち、図 1 2 （A）に示すように、レジスト 4 4 を設けてパターニングを行った後、図 1 2 （B）に示すように、ゲートの一部が露出するようにパターニングしてレジスト 4 4 の除去を行う。その後、ポリシリコンエッチングを行って露出したゲート上のポリシリコンだけを選択的に除去して、ポリシリコン層 4 3 上に残ったレジスト 4 4 を除去する（図 1 2 （C））。

図 7 （C）および図 8 に示す工程では、分離部のポリシリコン除去は、S e l f - a l i g n で行われる反面、レジストエッチングの膜厚制御が困難である。一方、図 1 2 に示す工程では、これを通常のパターニングで行うため、ゲートとのアライメントさえ注意すれば、当該レジストエッチングの制御が不要となる。その結果、より簡易な条件で各処理を施すことが可能で、スループットを向上させることができる。

【0 0 3 1】

また、その他の構成として、ゲート上のポリシリコン層（B）の一部が露出するように、レジストを除去する工程を経た後、露出したポリシリコン層（B）のポリシリコン、および分離部のポリシリコン層（B）のポリシリコンをまとめて

○
除去してもよい。

すなわち、図 7 (C) および図 8 に示す工程に代えて、図 1 3 (A) のように、レジスト 4 4 のみパターニングした後、ゲート上のポリシリコン層 (B) の一部が露出するように、レジストエッチングを行い (図 1 3 (B))、露出していたゲート上のポリシリコン層 4 3 のポリシリコン、および分離部 (分離酸化膜 3 7 上の露出部) のポリシリコン層のポリシリコンの除去を一緒に行ってもよい (図 1 3 (C))。かかる工程は、図 1 2 の工程についても適用することができる。

このようにすれば、ポリシリコンのエッチング工程を 1 回減らすことが可能となり、より迅速に本発明の完全空乏型 SOI トランジスタを製造することができるので、さらにスループットを向上させることができる。

【0032】

なお、ここでは、nMOS だけの工程を説明したが、pMOS のゲートおよび *elevated-source/drain* 部を同時に作製することが可能である。ソースドレインインプラ等、nMOS と pMOS とで異なる工程は、通常のホトによる方法で nMOS と pMOS とに打ち分けられる。従って、本製造方法は、CMOS への応用が可能である。

【0033】

【発明の効果】

本発明によれば、スループットを向上させることが可能で、短チャネル効果を抑制しつつソースドレイン抵抗の低い完全空乏型 SOI-MOS トランジスタおよびその製造方法を提供することができる。

【図面の簡単な説明】

【図 1】 本発明の完全空乏型 SOI-MOS トランジスタの例を示す断面概略図である。

【図 2】 図 1 に示す完全空乏型 SOI-MOS トランジスタにシリサイド化を施した例を示す断面概略図である。

【図 3】 本発明の一実施形態に係る完全空乏型 SOI-MOS トランジスタの製造方法の一工程を示す断面概略図である。

【図 4】 本発明の一実施形態に係る完全空乏型 S O I - M O S トランジスタの製造方法の一工程を示す断面概略図である。

【図 5】 本発明の一実施形態に係る完全空乏型 S O I - M O S トランジスタの製造方法の一工程を示す断面概略図である。

【図 6】 本発明の一実施形態に係る完全空乏型 S O I - M O S トランジスタの製造方法の一工程を示す断面概略図である。

【図 7】 本発明の一実施形態に係る完全空乏型 S O I - M O S トランジスタの製造方法の一工程を示す断面概略図である。

【図 8】 本発明の一実施形態に係る完全空乏型 S O I - M O S トランジスタの製造方法の一工程を示す断面概略図である。

【図 9】 本発明の一実施形態に係る完全空乏型 S O I - M O S トランジスタの製造方法の一工程を示す断面概略図である。

【図 1 0】 本発明の一実施形態に係る完全空乏型 S O I - M O S トランジスタの製造方法の一工程を示す断面概略図である。

【図 1 1】 本発明の一実施形態に係る完全空乏型 S O I - M O S トランジスタの製造方法の一工程を示す断面概略図である。

【図 1 2】 本発明の一実施形態に係る完全空乏型 S O I - M O S トランジスタの製造方法の一工程を示す断面概略図である。

【図 1 3】 本発明の一実施形態に係る完全空乏型 S O I - M O S トランジスタの製造方法の一工程を示す断面概略図である。

【図 1 4】 従来の完全空乏型 S O I - M O S トランジスタの例を示す断面概略図である。

【符号の説明】

- 1 . . . 半導体基板
- 2 . . . B O X 層
- 3 . . . 分離酸化膜
- 4 a . . . ソース部
- 4 b . . . ドレイン部
- 5 . . . サイドウォール

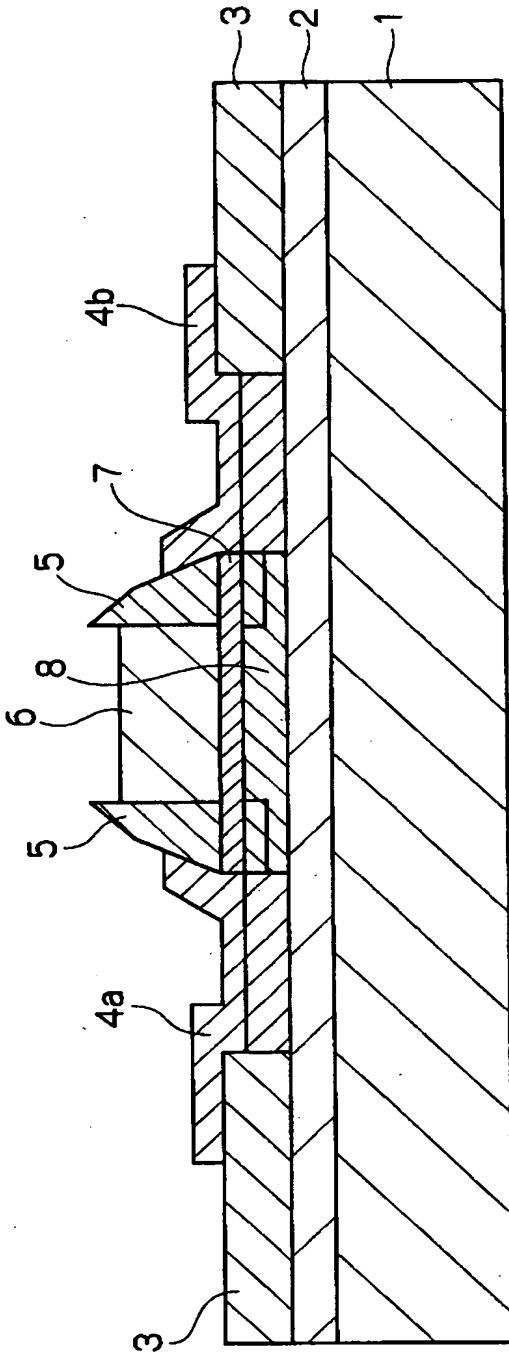
6 . . . ゲート電極

7 . . . ゲート酸化膜

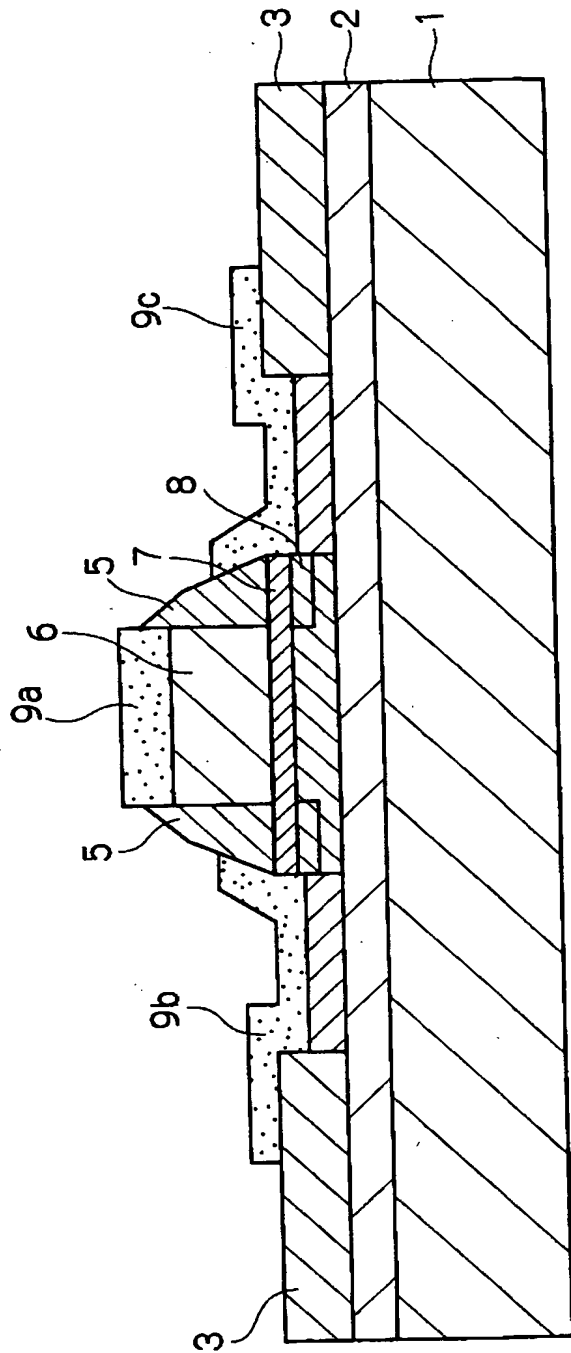
8 . . . S O I 層

【書類名】 図面

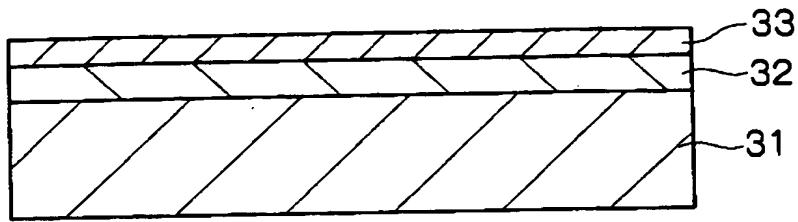
【図 1】



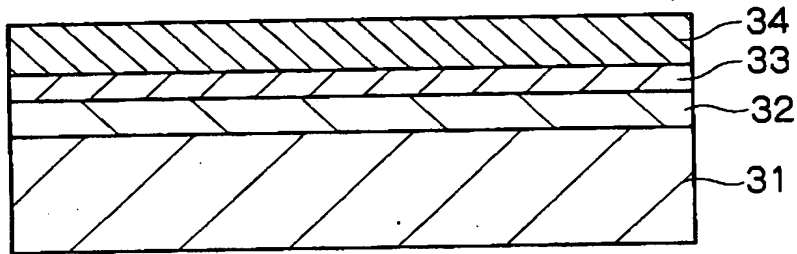
【図 2】



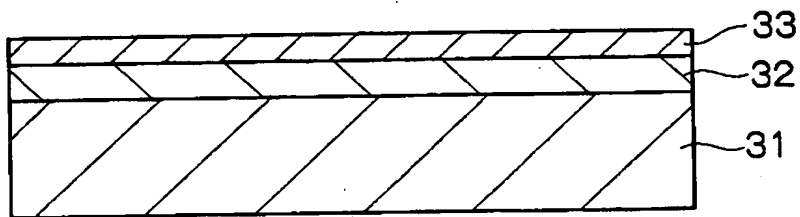
【図 3】



(A)

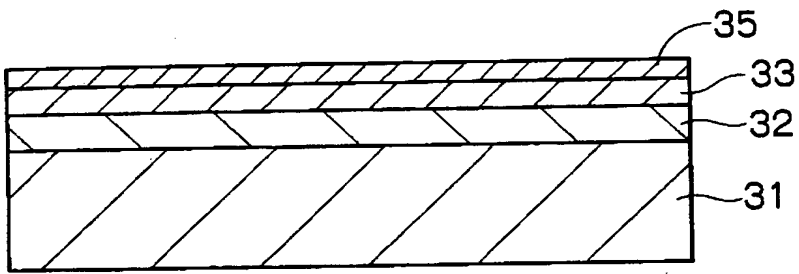


(B)

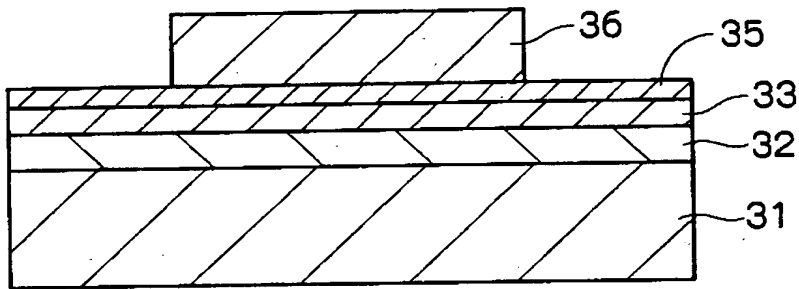


(C)

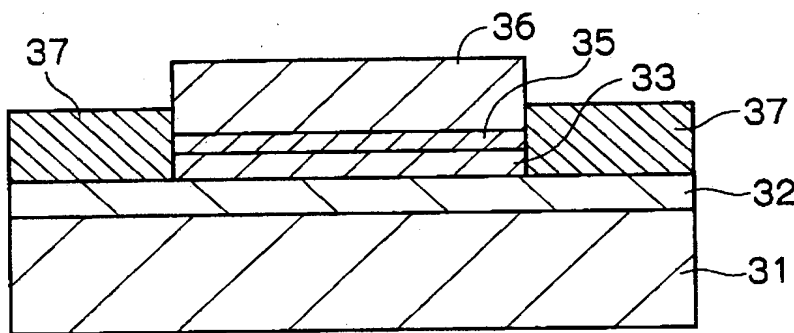
【図 4】



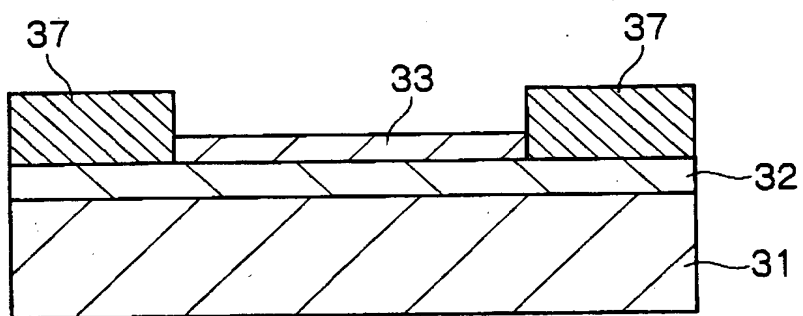
(A)



(B)

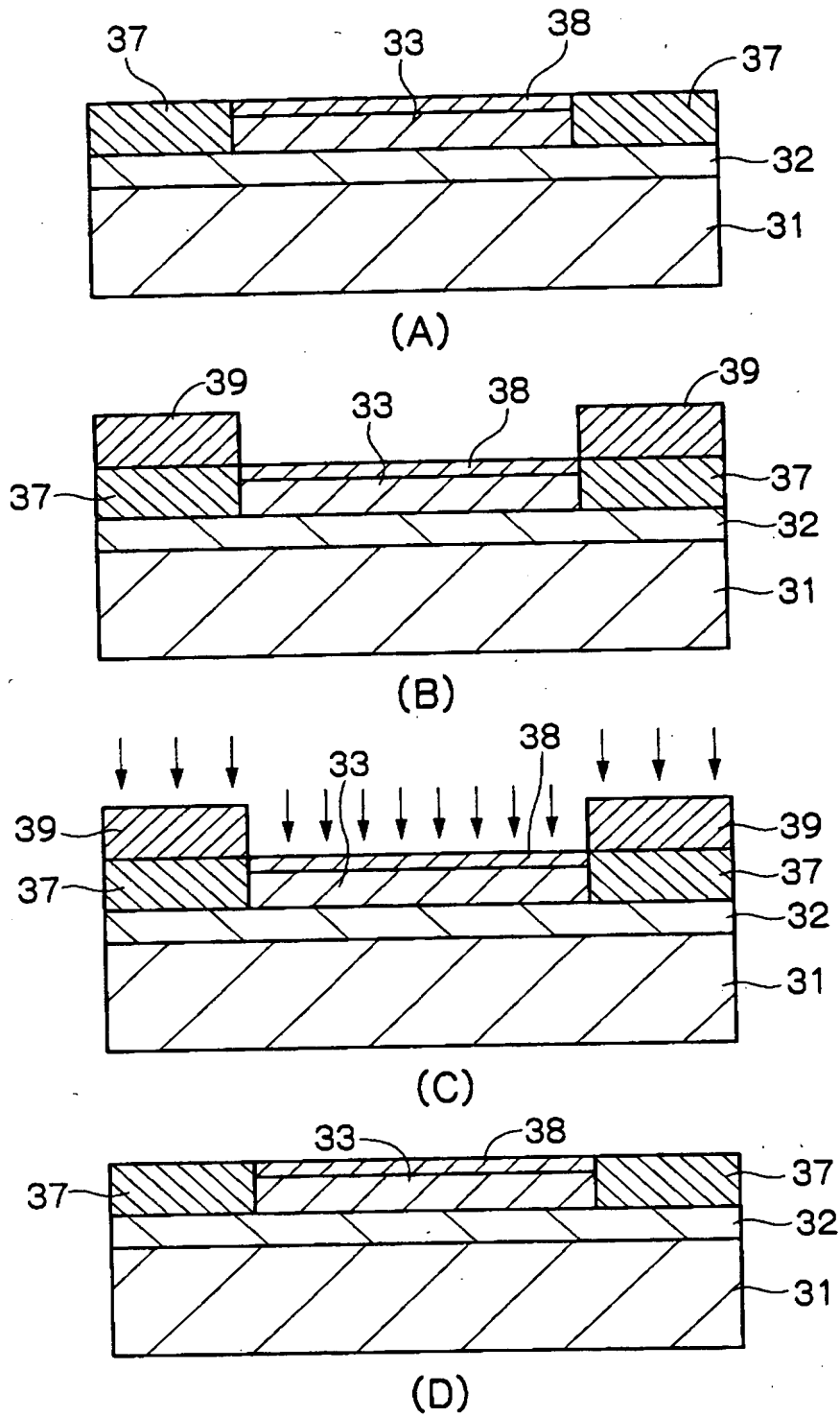


(C)

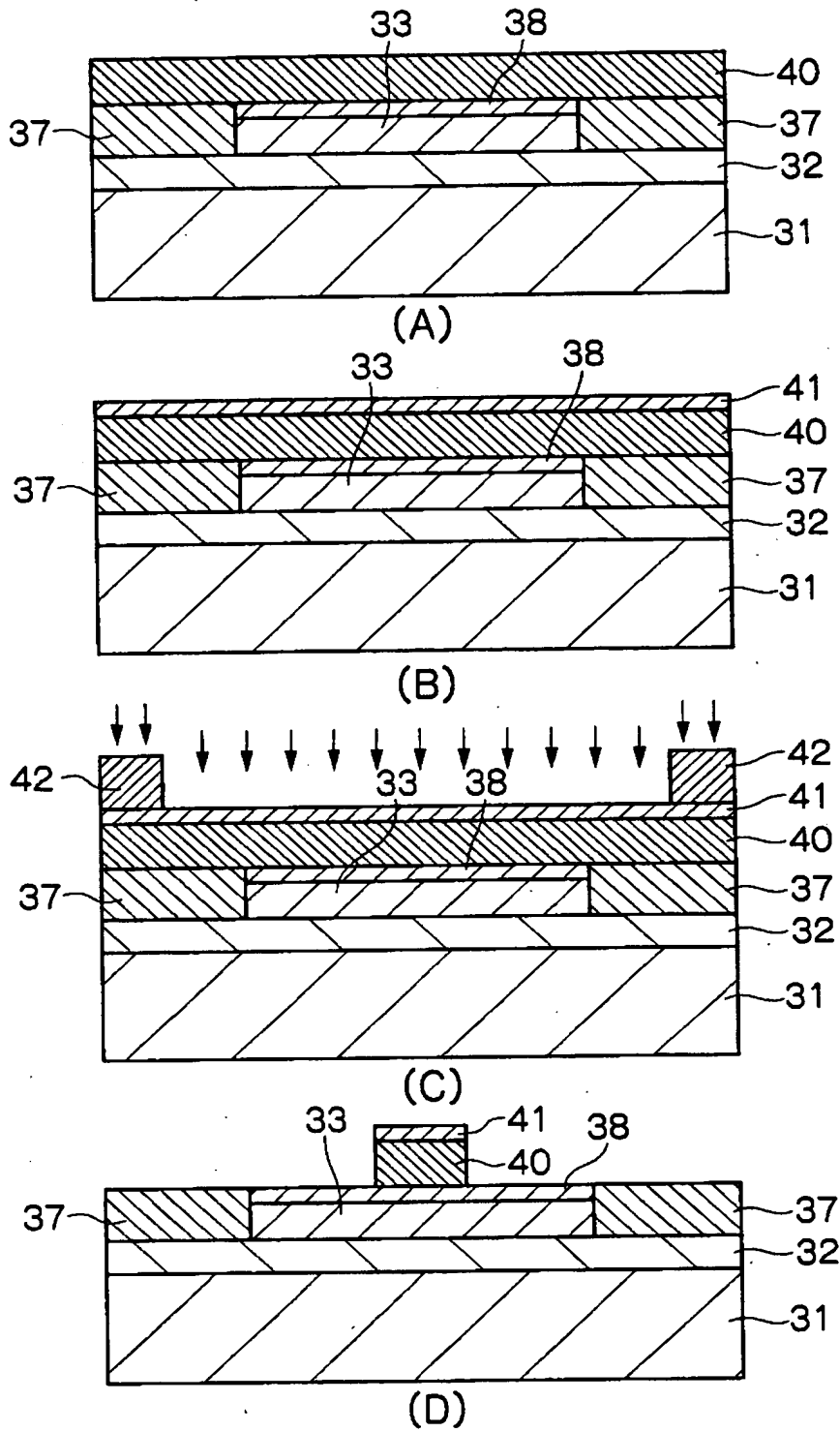


(D)

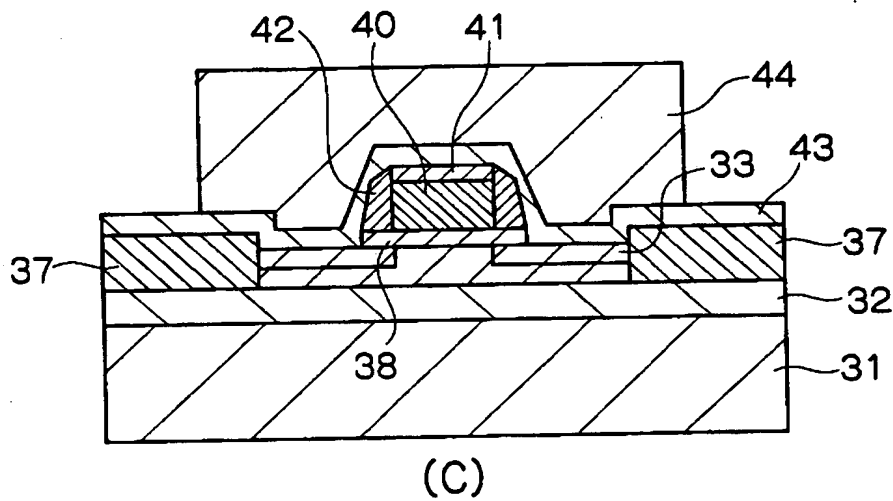
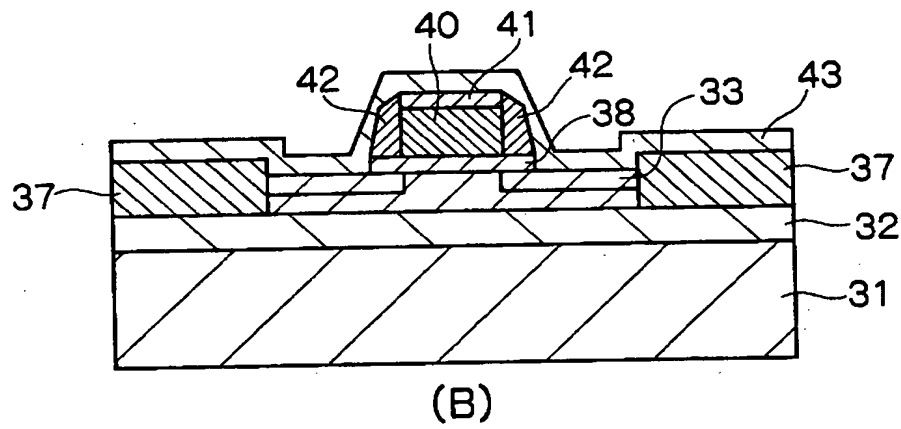
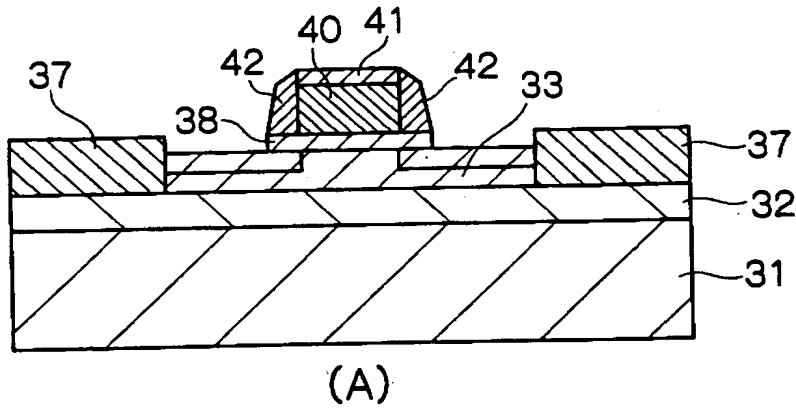
【図 5】



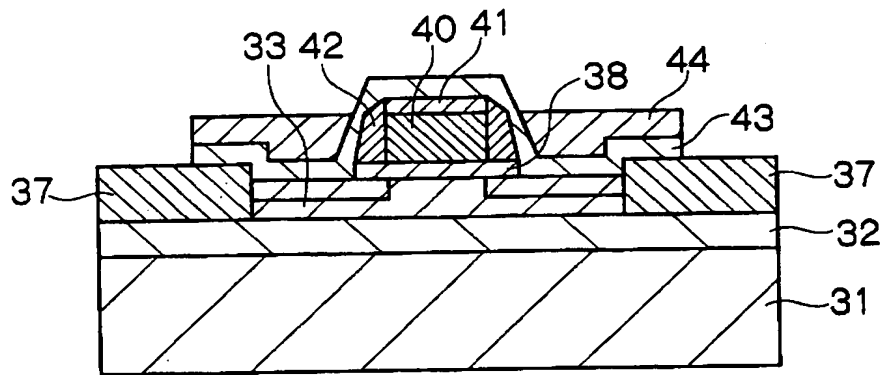
【図 6】



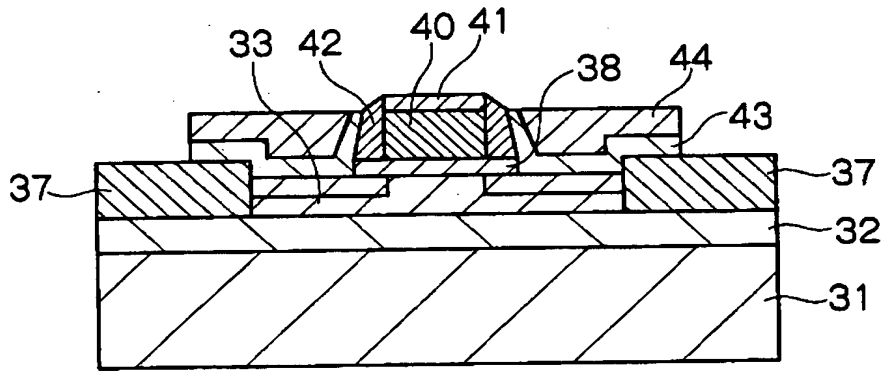
【図 7】



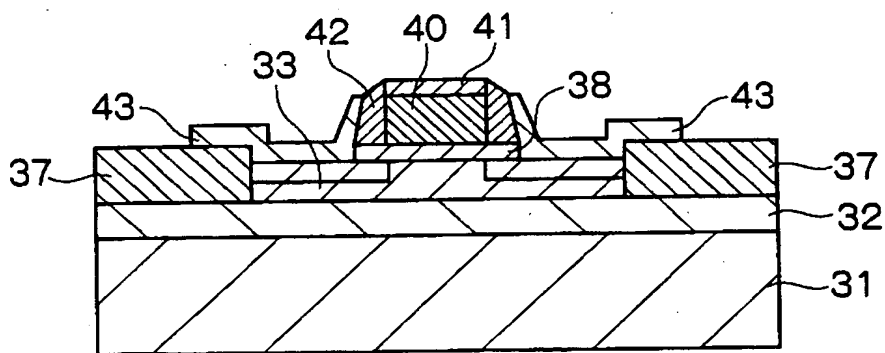
【図 8】



(A)

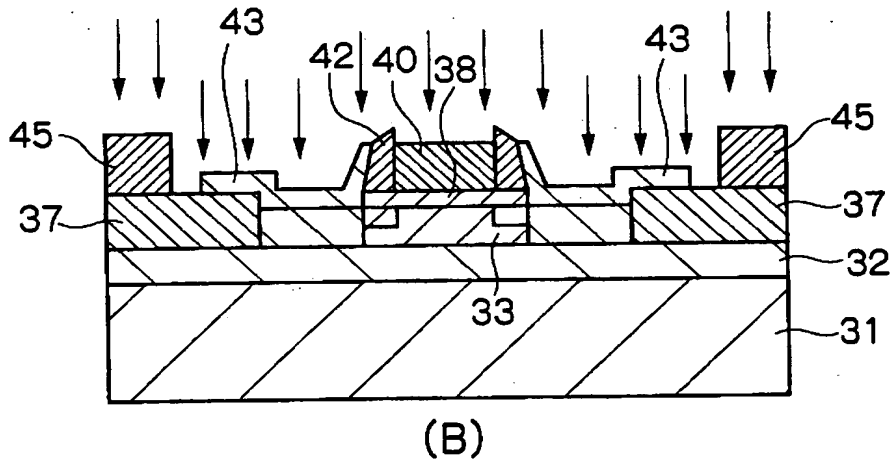
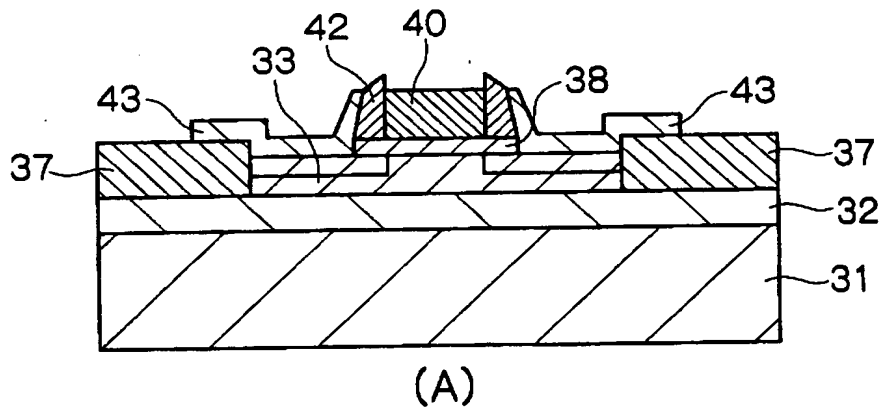


(B)

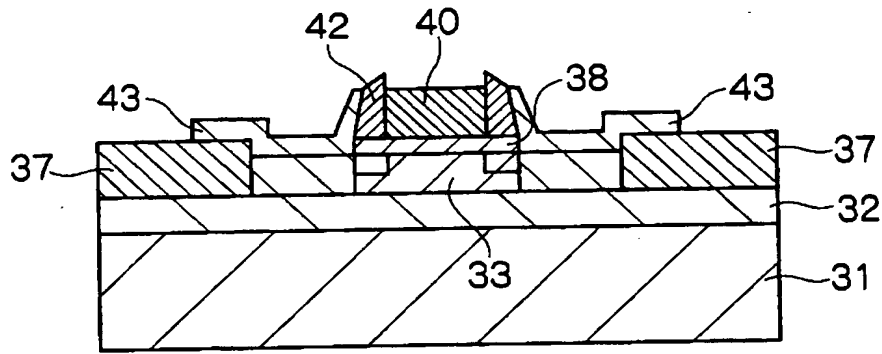


(C)

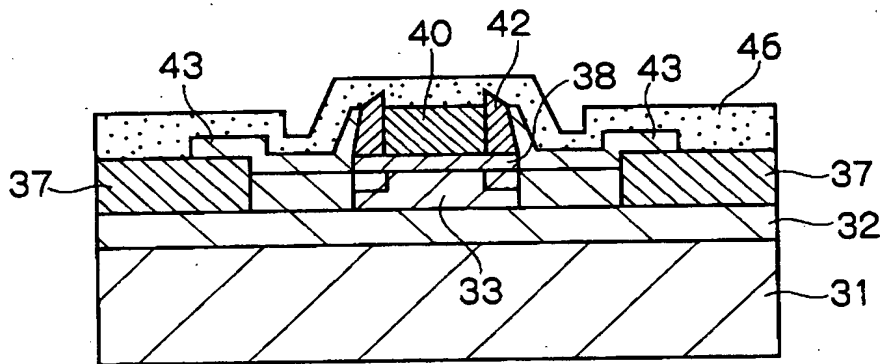
【図 9】



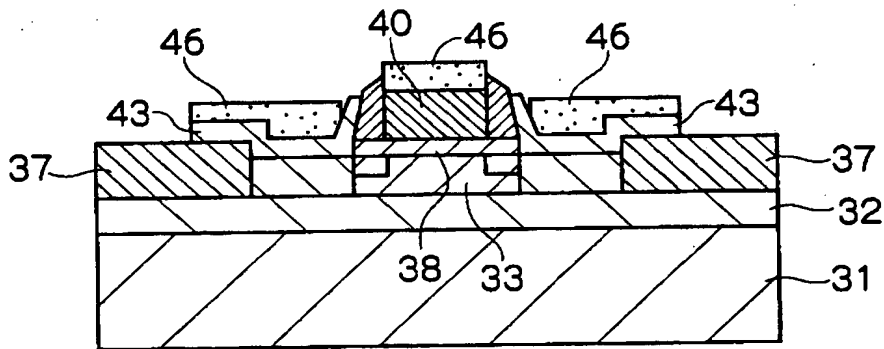
【図10】



(A)

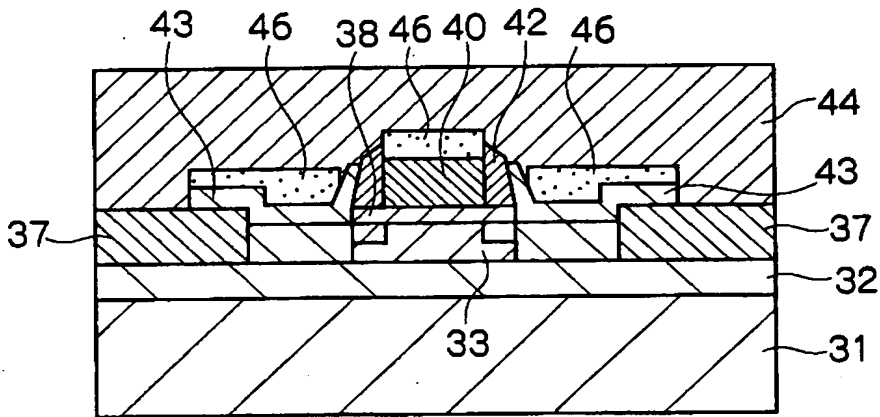


(B)

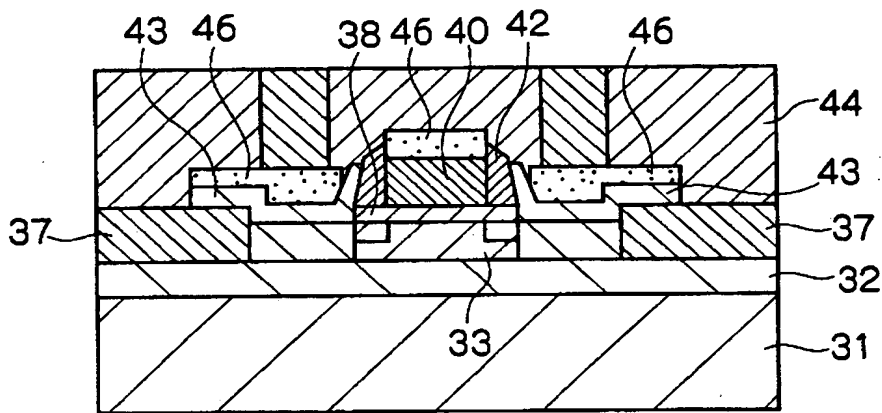


(C)

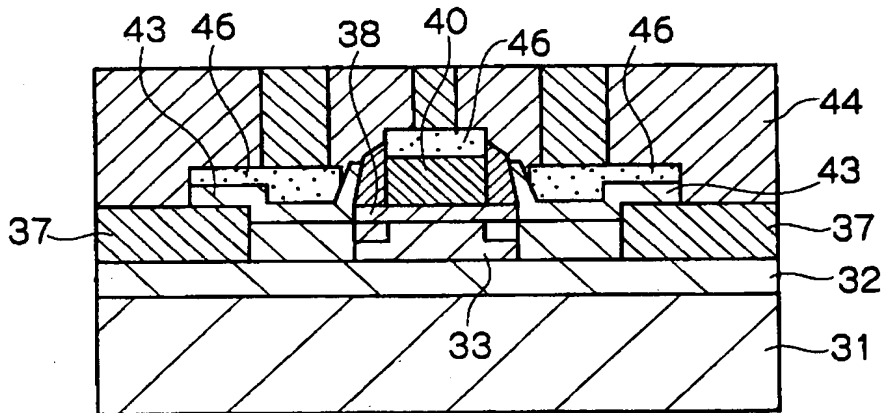
【図 1 1】



(A)

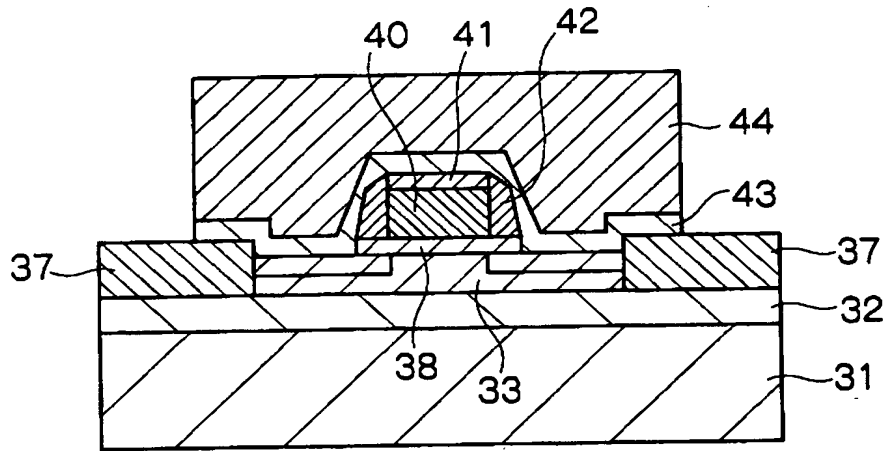


(B)

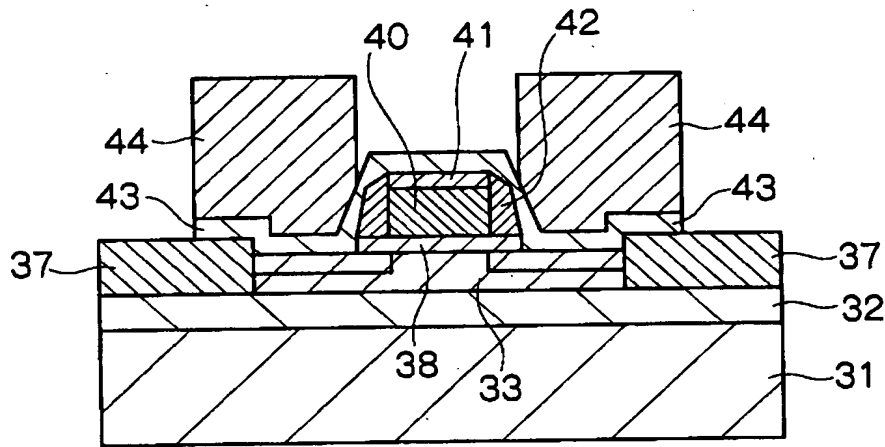


(C)

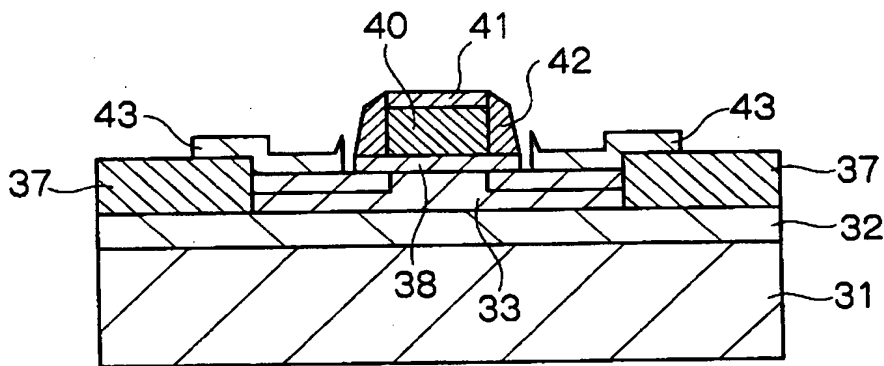
【図 1 2】



(A)

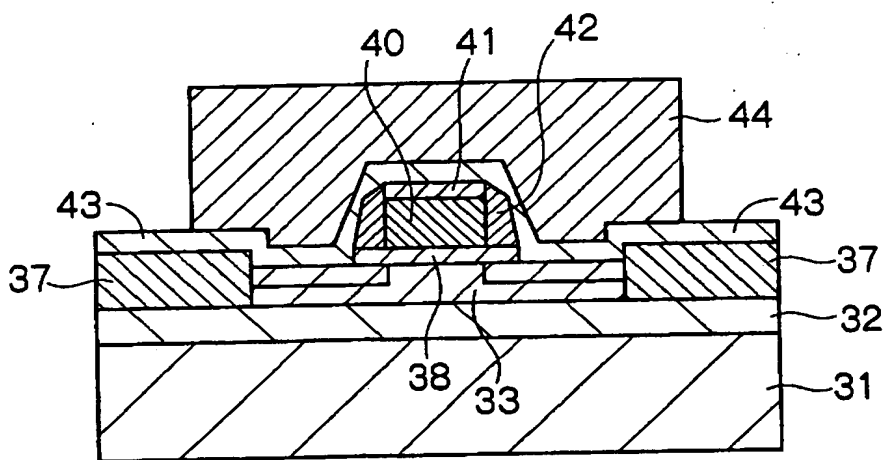


(B)

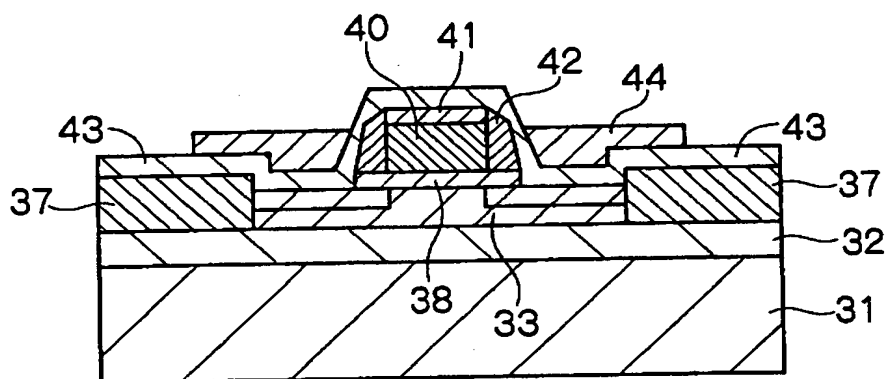


(C)

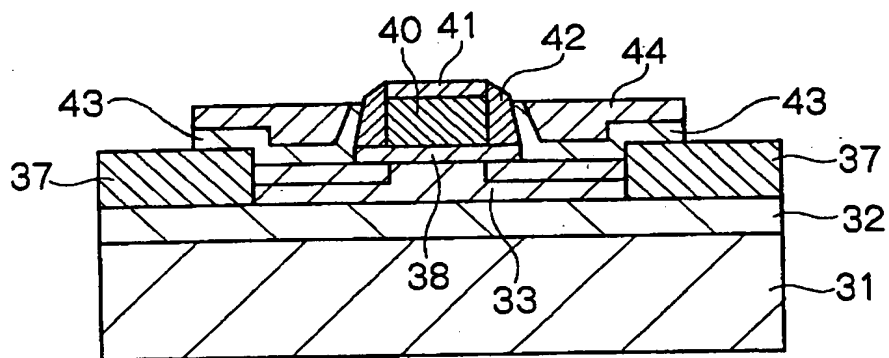
【図13】



(A)

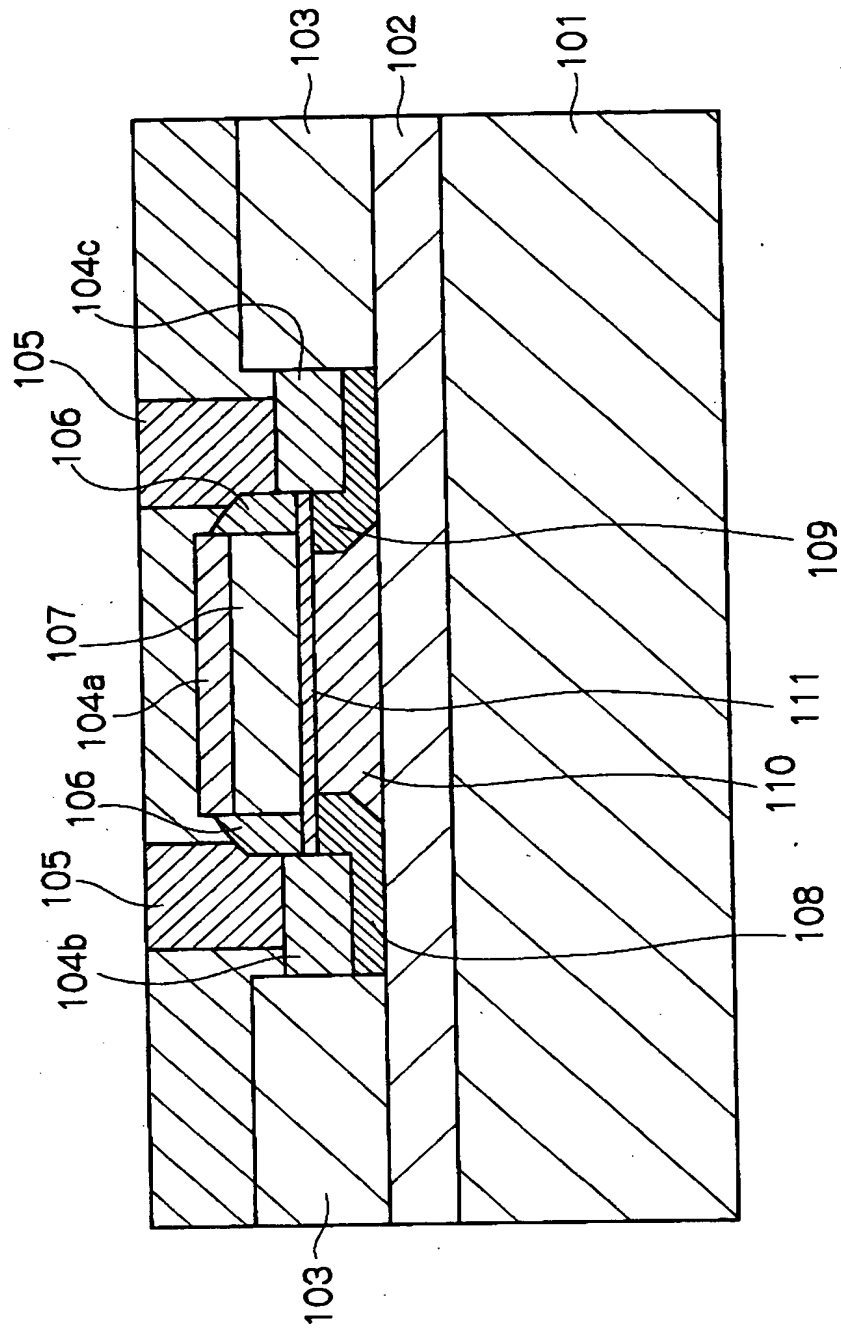


(B)



(C)

【図14】



【書類名】 要約書

【要約】

【課題】 スループットを向上させ、短チャネル効果を抑制しソースドレイン抵抗の低い完全空乏型SOI-MOSトランジスタおよびその製造方法を提供する。

【解決手段】 半導体基板1上にBOX層2を介してSOI層8およびゲート電極6が順次形成され、SOI層8の側方ソースドレイン部が設けられ、SOI層8がソースドレイン部の厚さより小さい完全空乏型SOI-MOSトランジスタである。

また、SOI層上に、ポリシリコン層(A)、酸化膜を順次形成する工程と、ゲート部以外をエッチングしSOI層上にゲートを作製する工程と、ポリシリコン層(B)を形成する工程と、分離部のポリシリコン層(B)のポリシリコンを除去する工程と、ゲート上のポリシリコン層(B)の一部が露出するようにレジストを除去する工程と、露出したポリシリコン層(B)のポリシリコンを除去する工程と、を含む完全空乏型SOI-MOSトランジスタの製造方法である。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社